

# Tentamen i Datorsystemteknik EDA333 / DIT122

Tid och plats: 18 Augusti, 2020, em, via Canvas och Zoom (för information om ”Tentamensvakter på distans via kamera” och ” När du tentar på distans med Zoom gäller” , vänligen se:  
<https://www.chalmers.se/sv/nyheter/info/information-till-studenter/Sidor/default.aspx>)

Examinator: Lars R Bengtsson, tel 8441.

Institution: Data- och Informationsteknik

Förfrågningar under tentamen: Lars Bengtsson, tel. 8441

Betygsgränser:

3: 24–35 poäng, 4: 36– 47 poäng, 5: 48–60 poäng

Allmänt: Tänk på att motivera dina lösningar. Använd gärna figurer. Tentan kan delas för rättning så kombinera inte flera uppgifter på samma blad.

**Skriv gärna textsvar och kommentarer  
på engelska!**

I förekommande fall gör de antaganden som behövs och motivera dessa.

Maximal poäng på varje deluppgift anges inom parentes efter uppgiftstexten.

Lycka till!

1. Följande MIPS kod är given:

```

        lui    $s0, 1
        ori    $s0, $s0, 5
        addi   $t0, $zero, 7

L2:     addi   $s0, $s0, -2
        addi   $t0, $t0, -1
        bne   $t0, $zero, L2
        srl   $s1, $s0, 2

```

- (a) Vad innehåller \$s1 när sista instruktionen exekverats? (6p)
- (b) Hur många cykler kommer en exekvering att ta på en processor med fem pipesteg och där forwarding används i möjligaste mån? Börja med den cykel när första instruktionen är i första pipelinesteget och sluta när den sista instruktionen är i sista pipelinesteget. (6p)

2. Ett program exekveras i en simulator. Processorn har ett icke-associativt 1 KB cache. Andelen missar är 38% om blockstorleken sätts till 4B; 22% vid blockstorleken 16B; 19% för blockstorleken 64B; och 27% vid blockstorleken 256B. Miss penalty är  $5+b/4$  cykler, där  $b$  är blockstorleken, det görs 1,2 minnesreferenser per instruktion. CPI utan cachemissar är lika med 2. Klockfrekvensen antar vi är oberoende av blockstorleken.

- (a) Varför minskar andelen missar när blockstorleken ökar från 4B till 16B och från 16B till 64B? (4p)
- (b) Varför ökar andelen missar igen när blockstorleken ökas till 256B? (4p)
- (c) Vilken blockstorlek bör användas för att minimera exekveringstiden? (4p)

3 Vi har ett (byteadresserat) cacheminne:

Cachestorlek: 48 ord; Associativitet: 3-vägs; Blockstorlek: 2 ord per block  
 Ordbredd: 64 bitar/ord; Och datorn använder 32-bitars minnesadresser.

- a) Dela upp datorns 32-bitars adress i fälten Tag, Index, Offset. (6p)
- b) Antag datorn gör följande minnesaccesser (tidsmässigt från vänster till höger):  
 38, 172, 144, 85,  
 424, 111, 174, 551,  
 446, 32, 428, 544,  
 96, 170. (Decimalt).  
 Ange vilka accesser som kommer att vara Träff ("Hit") eller Miss i cache'n. Du skall använda "Least Recently Used" som utbytesalgoritm.

(12p)

---

4. För ett datorsystem med virtuellt minne och fysiskt adresserad cache gäller för TLB, primärminne och cache följande data:

	Miss rate	Miss penalty (processorcykler)	Kommentar
TLB	0,5%	100	
Primärminne	0,0001%	500 000	Miss = page fault
Cache	5,000%	10	

För varje minnesåtkomst kan man få träffar och missar i olika kombinationer av TLB, primärminne och cache. Gör en tabellering över alla möjliga kombinationer, med beskrivande kommentarer och sannolikheter för varje sådan kombination, samt vilken miss penalty som varje kombination medför. Observera att vissa kombinationer ej kan inträffa och alltså har sannolikheten 0. Räkna sedan ut genomsnittlig miss penalty för alla minnesåtkomster, under antagandet att alla sannolikheterna är oberoende av varandra. (18p)

---

**SLUT!**

