

Tentamen i Datorsystemteknik EDA333 / DIT122

Tid och plats: 4 Juni, 2020, fm, via Canvas och Zoom (för information om ”Tentamensvakter på distans via kamera” och ” När du tentar på distans med Zoom gäller” , vänligen se:
<https://www.chalmers.se/sv/nyheter/info/information-till-studenter/Sidor/default.aspx>)

Examinator: Lars R Bengtsson.

Institution: Data- och Informationsteknik

Förfrågningar under tentamen: Fazeleh Sadat Hoseini.

Betygsgränser:

3: 24–35 poäng, 4: 36– 47 poäng, 5: 48–60 poäng

Allmänt: Tänk på att motivera dina lösningar. Använd gärna figurer. Tentan kan delas för rättning så kombinera inte flera uppgifter på samma blad.

**Skriv gärna textsvar och kommentarer
på engelska!**

I förekommande fall gör de antaganden som behövs och motivera dessa.

Maximal poäng på varje deluppgift anges inom parentes efter uppgiftstexten.

Lycka till!

1. Följande MIPS-program utför en beräkning som förekommer på många ställen i en viss tillämpning:

```
slt    $v0, $a0, $a1
beq    $v0, $zero, L1
add    $v0, $a0, $zero
add    $v1, $a1, $zero
beq    $zero, $zero, L2
```

L1:

```
add    $v0, $a1, $zero
add    $v1, $a0, $zero
```

L2:

- a. Vilken funktion utför denna beräkning? (2 p)
- b. Från vilket/vilka register hämtas indata (argument), och i vilket/vilka register läggs resultatet? (2 p)
- c. Om programmet utförs i en pipeline som den i bilaga 1, med stall som enda möjlighet att hantera pipelinekonflikter, hur många extra cykler orsakade av pipeline-konflikter kommer det att krävas för att exekvera programmet? Antag att \$a0 från början innehåller värdet 5, och \$a1 värdet 1. (4 p)
- d. Eftersom beräkningen utförs på många ställen i tillämpningen, så vill man göra en subrutin av den. Visa minsta nödvändiga tillägg till koden ovan för att göra om den till en subrutin, och skriv en så kort kod som möjligt som laddar argumentregistren med konstantvärden och anropar subrutinen. (4 p)

2.

En direktmappad 128 bytes cache i ett byteadresserat datorsystem använder blockstorleken 16 bytes.

- a) Cachen är tom initalt. Följande accesser görs (på decimal form): 4, 8, 144, 1116, 8, 512, 1104. Vilka accesses resulterar i träffar och vilka i missar? Motivera ditt svar. (6 p)
- b) Repetera uppgiften ovan men nu med ett 2-vägs set associativt cache. Antag att en LRU strategi används för utbyten av block. (6 p)

3. En 100 MHz MIPS processor exekverar ett program bestående av en fix och en iterativ del. Den fixa delen körs en gång per programkörning, består av 200 millioner instruktioner, och där 10% av dem accessar dataminnet.

Den iterativa delen av koden exekverar 20 iterationer per körning av programmet. Varje iteration tar 2 millioner instruktioner av vilka 40% accessor dataminnet.

CPI (exkl. inverkan av minnesaccesser) är 1,5, för både den fixa och för den iterativa delen av koden.

Processorn har två cacheminnen, ett för instruktioner (I\$) och ett för data (D\$). Misskostnaden för dessa är 10 cykler.

Systemet kör operativsystemet Linux. Exekveringstid kan avläsas via kommandot 'time' vilket ger följande information för ett användarprogram: User CPU time; OS CPU time; Total elapsed time; % CPU time of total time.

Antag att 'time' kommandot returnerar: 4.2u 1.1s 0:07 75% (dvs User CPU time=4,2 s). Antag vidare att inverkan av exceptions (interrupts) är försumbar.

- a) Beräkna CPI för exekveringen inklusive effekten av minnesaccesser. (6 p)
- b) Om vi antar att missandelen i I\$ är 1%, vad är då andelen missar i D\$? (6 p)
- c) Antag nu i stället att misskostnaden i D\$ är 15 cykler i stället för 10. Hur skulle det kunna vara möjligt, givet att båda cachear är anslutna till samma primärminne? (3 p)
- d) Hur skulle systemprestanda påverkas om misskostnaden i D\$ ändras som i uppgift c? (3 p)

4. Vi har ett datorsystem med följande karaktäristik: Processorn adresserar virtuellt minne (kombinerat data- och instruktionsminne) med 32-bitars virtuella adresser. Det finns maximalt 64 MB fysiskt primärminne, och ett tvåvägs associativt cacheminne med kapacitet att lagra 32 KB.

Cacheminnets åtkomsttid vid träff är 3 ns. För sidöversättningar finns en fullt associativ TLB för 64 översättningar. TLB'ns åtkomsttid vid träff är 2 ns. Sidstorleken är 16 KB, och cacheminnets blockstorlek är 4 ord. För såväl cacheminnet, TLB'n som det virtuella minnet tillämpas write-back (copy-back) som skrivningsstrategi. Utbytesalgoritmen för cacheminnet är "random", och för det virtuella minnet en approximation av LRU som använder sig av 2-bitars tidsstämplar för varje sida. Virtuella sidor som tillhör operativsystemet är markerade med en flaggbit (protection bit) för att skyddas mot åtkomst från användarprocesser. Som mest är 32 processer aktiva samtidigt. Sekundärminnesadresser för sidor som inte finns i primärminnet lagras inte i sidtabellerna.

- a. Vad är det totala antalet bitar som cacheminnet måste kunna lagra? (4 p)
- b. Hur stort minnesutrymme räknat i bytes behövs för att lagra sidtabeller? (4 p)
- c. Vad är det totala antalet bitar som TLB måste kunna lagra? (4 p)
- d. Vilken klockfrekvens kan processorn ha som bäst (om vi antar att klockcyklerna begränsas av TLB och cache)? Dela upp i tre olika fall (Cache'n är fysiskt adresserad i alt. 1 och 2):

- 1: Pipelining mellan TLB och Cache används (2 p)
- 2: Pipelining mellan TLB och Cache används inte (2 p)
3. Cache 'n är virtuellt adresserad (2 p)

SLUT!



Biлага 1: MIPS pipeline

