

Tentamen i kursen EDA330

Datorsystemteknik

16/1 1998

Tentamensdatum: 16/1 1998 kl. 8.45 i sal MN

Examinator: Jonas Vasell

Institution: Datorteknik

Förfrågningar: Magnus Karlsson (ankn. 1653)

Lösningar: anslås måndag 19/1 på institutionens anslagstavla utanför laboratoriet

Resultat: anslås senast fredag 30/1 på institutionens anslagstavla utanför laboratoriet

Rättningsgranskning: tid och plats anslås tillsammans med resultaten

Betygsgränser: 3: 24-35 poäng, 4: 36-47 poäng, 5: 48-60 poäng

Tillåtna hjälpmedel: inga

Allmänt: För full poäng på en uppgift krävs både ett korrekt svar och en motivering. En bra motivering är minst lika viktig som ett korrekt svar. Skriv tydligt och använd gärna figurer. Maximal poäng på varje deluppgift anges inom parentes efter uppgiftstexten.

Välgångsönskning: Lycka till!

Uppgifter (1-5):

1. På en arbetsstation byggd kring en MIPS-processor med 100 MHz klockfrekvens utförs en vetenskaplig beräkning uppdelad i en fast del och en iterativ del. Den fasta delen av beräkningen utförs bara en gång per körning och omfattar totalt 200×10^6 instruktioner varav 10% kräver dataminnesåtkomst. Den iterativa delen av beräkningen utförs N gånger, där N är en programparameter som påverkar beräkningens noggrannhet. Varje iteration innebär att 2×10^6 instruktioner utförs, varav 40% kräver dataminnesåtkomst. CPI exklusive inverkan av minnesåtkomster är 1,5 för både den fasta och den iterativa delen.

Processorn har två cacheminnen, ett för instruktioner och ett för data. För båda dessa gäller att kostnaden för missar (miss penalty) är 10 klockcykler.

Vid tre olika körningar av beräkningen, med $N=20$, $N=200$, respektive $N=400$ med UNIX som operativsystem ger tidmätningar med 'time'-kommandot (som ger användarprogrammets CPU-tid, operativsystemets CPU-tid, total tid, respektive andel CPU-tid av total tid) följande resultat:

```
4.2u 1.1s 0:07 75%
```

```
11.4u 2.6s 0:19 73%
```

```
19.4u 4.1s 0:33 71%
```

Inverkan av avbrott på beräkningens CPU-tid är försumbar. Missannolikheten (miss rate) för respektive cacheminne påverkas inte nämnvärt av värdet på N.

- a. Vad är CPI för beräkningen (användarprogrammet) inklusive inverkan av minnesåtkomster i respektive körning? Förklara eventuella skillnader i CPI-tal. (4 p)
 - b. Vad är missannolikheten för respektive cacheminne? (4 p)
2. Följande frågor gäller de MIPS-instruktioner som är sammanfattade i bilaga 1.
 - a. För MIPS-instruktioner finns fyra olika adresseringsmoder (sätt att ta fram operander). Beskriv var och en av dessa. (4 p)
 - b. I ett program vill man på ett ställe hoppa till adressen DEST om talet i register 15 är mindre än ($<$) konstanten 0. Visa hur detta kan kodas i MIPS-assembly med den instruktionsuppsättning som finns i bilaga 1. Visa också hur man kodar om testvillkoret är "lika med" ($=$), "större än" ($>$), eller "större än eller lika med" (\geq). Kodsekvenserna ska vara så korta som möjligt. (4 p)
 - c. Hur beräknas hoppadressen för ett villkorligt hopp? Hur långt kan man hoppa med en `beq`-instruktion? Hur kan man göra om man vill ha längre villkorliga hopp än vad som tillåts av `beq`? (4 p)

3. Följande deluppgifter gäller hantering av avbrott (exceptions) i allmänhet och för MIPS-processorn i synnerhet.
- Ange fyra olika typer av avbrott eller exceptions och ange under vilka omständigheter de genereras. (4 p)
 - Utgående från den pipeline-implementering av MIPS som visas i bilaga 2, beskriv i ord och genom ritning vilka tillägg av komponenter som krävs för att hantera avbrott och var dessa komponenter ska sättas in. (4 p)
 - Beskriv vad som händer i MIPS vid ett avbrott. Utgå från implementeringen i deluppgift b. (4 p)
 - Beskriv vad en avbrottshanteringsrutin för MIPS måste göra allra först innan de avbrottsspecifika åtgärderna kan inledas. Ange speciellt hur situationer hanteras då flera avbrott uppstår samtidigt eller i tät följd. (4 p)
4. En viss persondator är uppbyggd kring en bakplansbuss. Bussen är 32 bitar bred med multiplexad överföring av adresser och data, har centraliserad parallell arbitring, och är synkron med 33 MHz klockfrekvens. Varje överföring av 32 bitar över bussen tar en klockcykel.

Till bakplansbussen är datorns primärminne i form av DRAM anslutet. Minnet producerar 2 32-bitars ord åt gången, och stöder åtkomst av block om 2-8 ord. Efter att en blockadress givits till minnet tar det 150 ns tills de första två orden är tillgängliga, och sedan tar det ytterligare 50 ns för varje ytterligare par av ord att läsas ut. Före varje blockläsning reserveras bussen för hela läsningen, och släpps fri för andra överföringar först när hela blockläsningen är klar. Det tar i genomsnitt två cykler att reservera bussen. Minnesläsning och bussöverföringar kan ske parallellt.

En 100 MHz processor (ej superskalär) är via separata data- och instruktionscacheminnen också kopplad till bakplansbussen. Man vill nu bestämma en lämplig blockstorlek för instruktionscacheminnet, och väljer mellan 2 och 8 ord per block. Missannolikheten för instruktionscacheminnet har vid mätningar visat sig vara 2% för 2 ord/block, och 1% för 8 ord/block. Vid en miss i instruktionscachet stoppas processorn tills hela det sökta blocket lästs in från primärminnet.

- Ge en trolig förklaring till skillnaden i missannolikhet för de två blockstorlekarna. (2 p)
- Vilka faktorer kan påverka tiden det tar att reservera bussen? (2 p)
- Vilken blockstorlek för instruktionscacheminnet ger minst antal cykler då processorn måste stoppas på grund av instruktionshämtningsmissar? (4 p)
- Vilken blockstorlek för instruktionscacheminnet ger minst andel av tiden som bakplansbussen är reserverad för läsningar av instruktioner? (4 p)

5. Nedan följer ett antal frågor med tre svarsalternativ (1, X, 2) vardera, varav endast ett är rätt. Ställ upp svaren som en tipsrad. Varje rätt svar ger en poäng.
- a. Amdahls lag handlar om (1) uppsnabbningen för ett system då en viss given del av systemet görs snabbare. (X) tillväxttakten för minneskrav hos typiska tillämpningsprogram. (2) kapacitetsökningen för DRAM-kretsar.
 - b. SPEC är (1) en uppsättning benchmarks för linjära ekvationssystem. (X) ett kernel-baserat benchmark. (2) en standardiserad uppsättning benchmarks baserad på riktiga program.
 - c. Typisk storlek för ett processorchip idag är (1) 30 mm². (X) 300 mm². (2) 3000 mm².
 - d. För cache-minnen betyder fullt associativ att (1) varje cache-block är associerat med ett primärminnesblock. (X) varje block kan lagras var som helst i cache-minnet. (2) varje block kan lagras på exakt ett ställe i cache-minnet.
 - e. Antalet instruktioner som krävs för att utföra ett program på en viss processor beror på (1) kompilator och arkitektur. (X) arkitektur och implementeringens organisation. (2) implementeringens organisation och hårdvaruteknologi.
 - f. Snooping är (1) en teknik för att upprätthålla minneskoherens i multiprocessorsystem. (X) ett sätt att kommunicera med I/O-enheter. (2) en metod för snabb uppdatering av sidtabeller.
 - g. Skillnaden i snabbhet mellan minnen och processor tenderar (1) att minska. (X) att vara oförändrad. (2) att öka.
 - h. En superskalär processor (1) kan starta exekvering av flera instruktioner samtidigt. (X) har en extra lång pipeline. (2) har en speciellt kraftfull ALU.
 - i. En atomisk swap (1) är en processorinstruktion som utför en minnesläsning följt av en minneskrivning utan att avbrytas av andra instruktioner. (X) är en processorinstruktion som byter innehåll mellan två register utan att kunna avbrytas. (2) är en processorinstruktion som utför en enda minnesläsning.
 - j. Flynns klassificering gäller (1) nätverkstopologier. (X) processortyper. (2) typer av multiprocessorsystem.
 - k. Booths algoritm (1) är en metod för flyttalsmultiplikation. (X) är en metod för heltalsmultiplikation. (2) är en metod för flyttalsdivision.
 - l. TLB (1) är en komponent som buffrar operationer i flyttalsenheter. (X) är en komponent som lagrar en del av sidtabellen för virtuellt minne. (2) är en komponent för grafikacceleration.

SLUT

Bilaga 1: MIPS maskininstruktioner

Se sammanställning av MIPS maskininstruktioner i kursboken (insidan av pärmen i vissa utgåvor).

Bilaga 2: MIPS pipeline

